

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of  
Mutsuyoshi ITO

Group Art Unit: To Be Assigned

Serial No. To Be Assigned

Examiner: To Be Assigned

Filed: July 5, 2001

For: SEMICONDUCTOR PACKAGE AND  
METHOD FOR PRODUCING THE  
SAME

JC903 U.S.PTO  
09/898068  
07/05/01

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior application filed in the following foreign country are hereby requested and the right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. P2000-207371 filed July 7, 2000

In support of this claim, filed herewith are certified copies of said original foreign application.

Respectfully submitted,

Ronald P. Kananen  
Reg. No. 24,104

Dated: July 5, 2001

RADER, FISHMAN & GRAUER P.L.L.C.  
1233 20<sup>TH</sup> Street, NW  
Suite 501  
Washington, DC 20036  
202-955-3750-Phone  
202-955-3751 - Fax  
Customer No. 23353

JC903 U.S. PTO  
09/099066  
07/05/01



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日  
Date of Application: 2000年 7月 7日

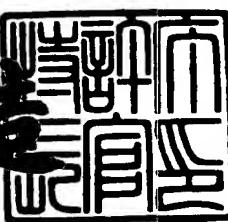
出願番号  
Application Number: 特願2000-207371

出願人  
Applicant(s): ソニー株式会社

2001年 5月30日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3047762

【書類名】 特許願  
【整理番号】 0000323802  
【提出日】 平成12年 7月 7日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H05K 3/00  
【発明者】  
【住所又は居所】 石川県能美郡根上町赤井町は86番 ソニー根上株式会社内  
【氏名】 伊藤 瞳禎  
【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社  
【代表者】 出井 伸之  
【代理人】  
【識別番号】 100067736  
【弁理士】  
【氏名又は名称】 小池 晃  
【選任した代理人】  
【識別番号】 100086335  
【弁理士】  
【氏名又は名称】 田村 榮一  
【選任した代理人】  
【識別番号】 100096677  
【弁理士】  
【氏名又は名称】 伊賀 誠司  
【手数料の表示】  
【予納台帳番号】 019530  
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体パッケージ及び半導体パッケージの製造方法

【特許請求の範囲】

【請求項1】 半導体素子が実装される実装部と、上記半導体素子が電気的に接続される第1の導電パターンが形成された第1の絶縁基板と、

上記第1の絶縁基板の実装部の周囲に立ち上がって設けられる側壁と、

上記第1の絶縁基板と上記側壁とによって構成され、上記実装部に上記半導体素子が実装された状態で封止樹脂によって封止されるキャビティと、

上記キャビティ及び上記側壁上に設けられ、上記側壁を貫通して設けられたスルーホールによって上記第1の導電パターンと電気的接続が図られた第2の導電パターンが一方の面に設けられた第2の絶縁基板とを備え、

上記第2の絶縁基板の一方の面上には、少なくともキャビティ上に、はんだランドが設けられていることを特徴とする半導体パッケージ。

【請求項2】 上記第1の絶縁基板の他方の面には、放熱板が設けられていることを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 第1の絶縁基板上に半導体素子が実装される実装部と、上記半導体素子が電気的に接続される第1の導電パターンとを形成するステップと、

上記第1の絶縁基板の一方の面上に、上記実装部とほぼ同じ大きさの開口部が形成されたスペーサを積層するステップと、

上記第1の絶縁基板と上記スペーサに設けられた開口部とで構成されたキャビティ内の上記実装部に半導体素子を実装するステップと、

上記実装部に半導体素子が実装された後、上記キャビティを封止樹脂により封止するステップと、

一方の面に導電層が設けられた第2の絶縁基板を、上記スペーサ上に積層するステップと、

上記第1の導電パターンと上記導電層との電気的接続を図るためスルーホールを形成するステップと、

上記導電層に、少なくともキャビティ上に、はんだランドを形成するステップとを有する半導体パッケージの製造方法。

【請求項4】 上記第2の導電パターンが形成された後に、上記第1の絶縁基板の他方の面に放熱板を設けるステップとを有することを特徴とする請求項3記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板の内部に半導体素子を内蔵した半導体パッケージ及びこの半導体パッケージの製造方法に関する。

【0002】

【従来の技術】

従来より、半導体パッケージには、図15に示すように、プリント基板との実装面にはんだボールの端子を配置したLSI (large-scale integrated circuit) の表面実装用エリアアレイ型のBGA (ball grid array) がある。

【0003】

このBGA70は、図15に示すように、第1の絶縁基板72を有し、この第1の絶縁基板72上に実装される半導体素子73と、この第1の絶縁基板72上に接着層となるプリプレグ74を介して積層される第2の絶縁基板75とを有する。

【0004】

第1の絶縁基板72は、例えばガラス布を基材としてエポキシ樹脂を含浸させ、両面に銅箔を貼着させた銅張積層板であり、略矩形状に形成されている。第1の絶縁基板72は、一方の面に導電パターン76が、他方の面に放熱板用ベタパターン77がフォトリソグラフィーを用いたプリントエッチ法でパターニングされている。この第1の絶縁基板72は、略中央部に半導体素子73が実装される実装部79が設けられている。また、第1の絶縁基板72は、実装部79の周縁部に、第1の絶縁基板72上に半導体素子73を実装するための開口部80が設けられた第2の絶縁基板75が、同様に開口部81が設けられたプリプレグ74を介して積層されている。この開口部80は、第2の絶縁基板75の略中央部を打ち抜かれて形成され、また、開口部81は、プリプレグ74の略中央部を打ち

抜かれて形成されている。第1の絶縁基板72は、この開口部80と第1の絶縁基板72とでキャビティ82が構成される。そして、第1の絶縁基板72は、このキャビティ82から実装部79上に半導体素子73が熱硬化型接着剤、例えばダイボンド剤83によって実装される。この半導体素子73は、第1の絶縁基板72に形成された導電パターン76とボンディングワイヤ84等により電気的に接続されている。また、このキャビティ82は、液状の封止樹脂86が塗布され、熱工程によって硬化処理されている。これにより、キャビティ82の上面が平坦化されるとともに、第2の絶縁基板75の上面と面一とされ、BGA70をマザーボード上に精度良く実装できる。

#### 【0005】

第1の絶縁基板72上に積層される第2の絶縁基板75は、一方の面に銅箔が貼り合わされており、この銅箔はフォトリソグラフィーを用いたプリントエッチ法でパターニングされることによりはんだランド88及びはんだランド88間を導通する導電パターン89が形成されている。はんだランド88は、第2の絶縁基板75の一方の面に、開口部80の周囲に複数形成されている。

#### 【0006】

また、第2の絶縁基板75は、メッキ処理されたスルーホール91が、第2の絶縁基板75の上面から第1の絶縁基板72の下面にかけて穿設されている。これにより、第2の絶縁基板75上に形成されている導電パターン89と第1の絶縁基板上に形成されている導電パターン76並びに第1の絶縁基板の他方の面に形成されている放熱板用ベタパターン77とはスルーホール91により電気的に接続されている。このようなBGA70は、各はんだランド88にクリームはんだを印刷しリフローすることにより、はんだボール92が複数形成される。

#### 【0007】

第1の絶縁基板72の放熱板用ベタパターン77が形成されている面側には、接着剤によって放熱板93が貼付されている。これによりBGA70が熱を持った場合にも放熱板93を通して放熱され、BGA70の過熱が防止される。

#### 【0008】

このようなBGA70は、第2の絶縁基板75上面に形成されたはんだボール

92がマザーボードに形成された導電層と導通接続されることによって、マザーボード上に実装される。

#### 【0009】

##### 【発明が解決しようとする課題】

ところで、小型、軽量化を求められる電気機器等では、内蔵されるBGAの小型化が必要になる。しかし、図15に示すように、封止樹脂86が塗布されるキャビティ82と第2の絶縁基板75との領域が分離されているパッケージでは、はんだボール92及び導体パターンを、第2の絶縁基板75の上面側のみ設けることができ、キャビティ82上には設けることができないため、パッケージの面積が大きくなってしまう。

#### 【0010】

また、はんだボール及び導体パターンは、半導体パッケージとマザーボードとの導通接続を図るものであるため、設置領域を縮小するにも限度があり、半導体パッケージの小型化を図ることが困難であった。

#### 【0011】

そこで、本発明は、封止樹脂の上にもはんだボールを搭載でき、パッケージの面積の小型化を図ることができる半導体パッケージ及びこの半導体パッケージの製造方法を提供することを目的とする。

#### 【0012】

##### 【課題を解決するための手段】

上述した課題を解決するために、本発明に係る半導体パッケージは、半導体素子が実装される実装部と、上記半導体素子が電気的に接続される第1の導電パターンが形成された第1の絶縁基板と、上記第1の絶縁基板の実装部の周囲に立ち上がって設けられる側壁と、上記第1の絶縁基板と上記側壁とによって構成され、上記実装部に上記半導体素子が実装されるとともに封止樹脂によって封止されるキャビティと、上記キャビティ及び上記側壁上に設けられ、上記側壁を貫通して設けられたスルーホールによって上記第1の導電パターンと電気的接続が図られた第2の導電パターンが一方の面に設けられた第2の絶縁基板75とを備え、上記第2の絶縁基板75の一方の面上には、全面に亘って格子状に、はんだラン

ドが設けられている。

#### 【0013】

また、本発明にかかる半導体パッケージの製造方法は、第1の絶縁基板上に半導体素子が実装される実装部と、上記半導体素子が電気的に接続される第1の導電パターンとを形成するステップと、上記第1の絶縁基板の一方の面上に、上記実装部とほぼ同じ大きさの開口部80が形成された間隙形成基板を積層するステップと、上記第1の絶縁基板と上記間隙形成基板に設けられた開口部80とで構成されたキャビティ内の上記実装部に半導体素子を実装するステップと、上記実装部に半導体素子が実装された後、上記キャビティを封止樹脂により封止するステップと、一方の面に導電層が設けられた第2の絶縁基板75を、上記間隙形成基板上に積層するステップと、上記第1の導電パターンと上記導電層との電気的接続を図るため上記第1の絶縁基板と第2の絶縁基板75とに亘ってスルーホールを形成するステップと、上記導電層にはんだランドを含む第2の導電パターンを形成するステップとを有する。

#### 【0014】

##### 【発明の実施の形態】

以下、本発明に係る半導体パッケージが適用されたBGAについて、図面を用いて詳細に説明する。図1乃至図3に本発明が適用されたBGA1を示す。このBGA1は、一方の面にはんだランドが全面に亘って格子状に配置されたLSIの表面実装用エリアアレイ型のパッケージである。このBGA1は、半導体素子2が実装され導電パターン4が形成されている第1の絶縁基板5と、実装部3の周囲に立ち上がり形成された側壁6と、第1の絶縁基板5と側壁6とによって形成されたキャビティ7と、はんだランド9が形成される第2の絶縁基板10と、BGA1の過熱を防止する放熱板11とを有し、BGA1のキャビティ7内には、半導体素子2が実装され、封止樹脂12が充填されている。

#### 【0015】

半導体素子2が搭載される第1の絶縁基板5は、ガラス布を基材としてエポキシ樹脂を含浸させ、両面に銅箔を貼付した略矩形の銅張積層板である。第1の絶縁基板5は、フォトリソグラフィーを用いたプリントエッチ法でパターニングさ

れることにより、一方の面に半導体素子2が実装される実装部3と、実装部3の周囲に形成され実装された半導体素子2を電気的に接続させる導電パターン4が形成されている。また、第1の絶縁基板5は、同様にして、他方の面に後述する放熱板11からパッケージ内の熱を逃がすための放熱用のパターン15及びスルーホール用のランド16が形成されている。

#### 【0016】

半導体素子2が実装される実装部3は、第1の絶縁基板5の略中央部に形成され、後述するダイボンド等の接着剤を用いて半導体素子2が実装されている。実装部3の周囲に形成されている導電パターン4は、第1の絶縁基板5の一方の面の周縁部に沿って連続して形成されているランド部21と、ランド部21より実装部3に向かって形成され、後述するボンディングワイヤ13と接続されるパターン部22とからなる。このランド部21は、後述するメッキスルーホール26が穿設されている。

#### 【0017】

また、第1の絶縁基板5の他方の面は、放熱板用のベタパターン15が中央部から周縁部にかけて略正方形形状に形成され、メッキスルーホール26によって貫通されるスルーホールランド16が放熱板用のベタパターン15の周囲に設けられている。

#### 【0018】

第1の絶縁基板5の周囲に立ち上がり形成されている側壁6は、プリプレグ17と、プリプレグ17上に積層されるスペーサ基板18とにより構成される。

#### 【0019】

スペーサ基板18と第1の絶縁基板5とを一体化させるプリプレグ17は、中央部に上記実装部3と略同じ大きさの略正方形形状の開口部19が形成され、第1の絶縁基板5と同じ大きさの略正方形形状に形成されている。このプリプレグ17は、第1の絶縁基板5の周縁部に沿ってランド部21上に積層され、スペーサ基板18と第1の絶縁基板5との接着層として機能する。また、スペーサ基板18も、プリプレグ17と同様に、中央部に上記実装部3と略同じ大きさの略正方形形状の開口部23が形成され、第1の絶縁基板5と同じ大きさの略正方形形状に形成

されている。このようなスペーサ基板18は、プリプレグ17を介して、第1の絶縁基板5の周縁部に積層されている。これにより、第1の絶縁基板5上には、側壁6により囲まれた領域に半導体素子2を収納するのに十分な深さを有するキャビティ7を形成する。そして、キャビティ7は、第1の絶縁基板5上に設けられた実装部3を外部に臨ませる。

#### 【0020】

このような側壁6には、積層されている第2の絶縁基板10の周縁部に連続して形成されているスルーホールランド25と、第1の絶縁基板5の周縁部に連続して形成されているランド部21との間を貫通するように、複数のメッキスルーホール26が側壁6の立ち上がり方向に形成されている。

#### 【0021】

第1の絶縁基板5上に形成されたキャビティ7より外部に臨まされた第1の絶縁基板5に設けられた実装部3には、後述する主として所定の電気回路が形成されたチップ状の半導体素子2が熱硬化型接着剤、例えばダイボンド剤27によって実装されている。そして、半導体素子2と、第1の絶縁基板5上に形成された導電パターン4のパターン部22とはボンディングワイヤ13により電気的に接続されている。

#### 【0022】

半導体素子2を収納したキャビティ7は、上面が側壁6と面一となるように、封止樹脂12が充填されている。封止樹脂12は液状の熱硬化型樹脂であり、熱処理されることにより、硬化処理される。これにより、BGA1は上面が平坦化され、後述する第2の絶縁基板10が確実に積層される。

#### 【0023】

スペーサ基板18の上面に積層される第2の絶縁基板10は、ガラス布基材にエポキシ樹脂を含浸させ、一方の面に銅箔を貼付した銅張積層板からなり、第1の絶縁基板5と略同一の大きさに形成されている。この第2の絶縁基板10は、はんだボール8が形成されるはんだランド9、メッキスルーホール26が形成されたスルーホールランド25及びはんだランド9とスルーホールランド25とを導通させる伝導パターン31が、フォトリソグラフィーを用いたプリントエッチ

法でパターニングされている。そして、第2の絶縁基板10は、パターニングされている面を外方に向け、側壁6及びキャビティ7上にプリプレグ28を介して積層一体化されている。

## 【0024】

はんだランド9は、第2の絶縁基板10の全面に亘って格子状に形成されている。このはんだランド9上には、マザーボードとBGA1との導通接続を図るはんだボール8がはんだクリームを印刷されリフローされることにより形成されている。

## 【0025】

第1の絶縁基板5の他方の面には、BGA1の熱を外部に放射して、BGA1の過熱を防ぐ放熱板11が設けられている。放熱板11は、第1の絶縁基板5と略同じ大きさの略正方形状に形成されている。この放熱板11は、第1の絶縁基板5の一方の面に形成されている放熱板用ベタパターン15及びスルーホールランド16上に、接着剤32により接着されている。これによりBGA1は、パッケージ内部の熱を、放熱板11を通じて外部に放出し、過熱による不良を防ぐことができる。

## 【0026】

このようなBGA1は、第2の絶縁基板10上に配設されたはんだボール8がマザーボード上の実装面に当接され、リフローソルダリングによりマザーボードに接続される。これにより、BGA1は、第2の絶縁基板10上に形成されたはんだボール8と伝導パターン31及びメッキスルーホール26を通じてマザーボードと電気的に接続される。

## 【0027】

このように、本発明が適用されたBGAによれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として、BGA1とマザーボードとの導通接続を図るはんだボール8が、BGA1の半導体素子2の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの接続に対し、デッドスペースとならず、実装上有効な面積となる。従って、パッケージの面積は大きくな

らず、小型で高放熱の、BGAを形成することができる。

【0028】

このようなBGA1は、以下のように製造される。

【0029】

先ず、エポキシ樹脂を含浸させたガラス布の両面に銅箔を貼付することにより、銅張積層板からなる第1の絶縁基板5が形成される。次いで、図4に示すように、この第1の絶縁基板5は、略矩形に形成され、一方の面に、ランド部21及びパターン部22に対応したパターンが印刷されたフォトフィルムを用いて、フォトリソグラフィーを用いたプリントエッチ法によりパターニングされる。これにより、第1の絶縁基板5は、周縁部に沿って連続するランド部21と、このランド部21より第1の絶縁基板5の略中央に形成されている実装部3に亘って形成されるパターン部22とからなる導電パターン4が形成される。また、第1の絶縁基板5の他方の面は、全面に銅パターン20が形成されている。

【0030】

また、同様に略矩形のプリプレグ17及びスペーサ基板18を形成し、このプリプレグ17及びスペーサ基板18の中央部を打ち抜く等して開口部19、23を形成する。

【0031】

次いで、図5及び図6に示すように、ランド部21に被せるようにして、第1の絶縁基板5と同じ大きさのスペーサ基板18をプリプレグ17を介して積層し、真空熱プレスにより第1の絶縁基板5と一体化することにより、第1の絶縁基板5の周縁部に側壁6を形成する。第1の絶縁基板5は、周縁部に側壁6が形成されることにより、キャビティ7が形成される。

【0032】

次いで、キャビティ7内には、図7に示すように、電気回路が形成された半導体素子2が搭載される。この半導体素子2は、ダイボンド剤27等の接着剤を介して、第1の絶縁基板5の略中央に形成された実装部3上に搭載される。その後、半導体素子2は、図8に示すように、第1の絶縁基板5の一方の面に形成されているパターン部22と、図示しないワイヤーボンド装置によって、ボンディング

グワイヤ13により電気的に接続される。

#### 【0033】

次いで、図9に示すように、半導体素子2が収納されたキャビティ7は、液状の封止樹脂12が塗布される。この封止樹脂12は、エポキシ系、メラミン系、フェノール系、尿素系等の熱硬化性樹脂からなり、図示しない熱処理工程を経て硬化される。これにより、BGA1は、半導体素子2の封止領域と側壁6の上面とが略面一とされる。なお、BGA1は、適宜、側壁6の上面又は硬化処理された封止樹脂12を研磨することにより側壁6の上面と封止領域とが面一とされる。

#### 【0034】

次いで、第1の絶縁基板5の側壁6及び封止樹脂12が塗布された領域が被さるように、第1の絶縁基板5と同じ大きさの第2の絶縁基板10が積層される。この第2の絶縁基板10は、エポキシ樹脂に含浸されたガラス布の一方の面に銅箔が貼付された片面銅張積層板からなる。第2の絶縁基板10は、銅箔が貼付されている面を外方に向けて、第1の絶縁基板5と同じ大きさのプリプレグ28を介して積層され、真空熱プレスされることにより第1の絶縁基板5と一体化される。

#### 【0035】

そして、図10及び図11に示すように、第2の絶縁基板10は、NCボール旋盤等により、周縁部に沿って連続して、側壁6及び第1の絶縁基板5の両面を貫通させる貫通孔が穿設される。貫通孔は、硫酸法、クロム酸法、プラズマ法等のデスマニア処理により、孔内に残ったバリが除去される。その後、貫通孔は、電解銅めっきまたは無電解銅めっきによりめっき処理されることによりメッキスルーホール26が形成される。このメッキスルーホール26は、第1の絶縁基板5に形成されたランド部21を貫通するため、第1の絶縁基板5の一方の面に形成される導電パターン4と、第2の絶縁基板10と、第1の絶縁基板5の他方の面に形成されている銅パターン20相互の導通が図られる。

#### 【0036】

次いで、第2の絶縁基板10は、図12に示すように、銅箔が貼付されている

面に、はんだランド9、スルーホールランド25及びこれらを導通する伝導パターン31が印刷されたフォトフィルムを用いてフォトリソグラフィーを用いたプリントエッチ法により、はんだランド9、スルーホールランド25及び伝導パターン31がパターニングされる。このはんだランド9は、第2の絶縁基板10の銅箔が貼付されている面に全面に亘って格子状に形成されている。また、スルーホールランド25は、図12に示すように、第2の絶縁基板10の周縁部に沿って連続して形成されているメッキスルーホール26がランドの中心となるように形成される。これらはんだランド9とスルーホールランド25とは、それぞれ一本の伝導パターン31によって接続されている。

#### 【0037】

また、同様にして、第1の絶縁基板5の他方の面に形成されている銅パターン20にも、図13に示すように、放熱板用ベタパターン15及び第1の絶縁基板5の周縁部に沿って連続したスルーホールランド16が形成される。このスルーホールランド16も、上記スルーホールランド25と同様に、メッキスルーホール26がランドの中心となるように形成される。また、放熱板用ベタパターン15は、中央部から周縁部にかけて略正方形状に形成される。

#### 【0038】

次いで、第1の絶縁基板5の他方の面には、図14に示すように、スルーホールランド16及び放熱板用ベタパターン15に被せるように、放熱板11が接着剤32を介して貼付される。この放熱板は、第1の絶縁基板5と同一の大きさを有している。これにより、BGA1は、パッケージ内部の熱を、放熱板11を通じて外部に放出し、過熱による不良を防ぐことができる。

#### 【0039】

次いで、図1及び図2に示すように、図示しないはんだボールマウンタ、リフロー炉等を用いて、BGA1をマザーボードに導通接続させるはんだボール8をはんだランド9の上に搭載することによりBGA1が製造される。

#### 【0040】

このようなBGAの製造方法によれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として

、BGA1とマザーボードとの導通接続を図るはんだボール8が、BGA1の半導体素子2の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの接続に対し、デッドスペースとならず、実装上有効な面積となる。従って、パッケージの面積は大きくならず、小型で高放熱の、BGAを形成することができる。

#### 【0041】

なお、第1の絶縁基板5及び第2の絶縁基板10に形成された各導体パターンは、上述したフォトリソグラフィーを用いたプリントエッチ法によるほか、スクリーン印刷その他の公知の印刷法を用いて形成されてもよい。

#### 【0042】

##### 【発明の効果】

以上詳細に説明したように、本発明が適用された半導体パッケージ及びその製造方法によれば、樹脂で封止された半導体素子の樹脂封止領域の上部に配線を施すことができるようになるため、この配線の一部として、BGAとマザーボードとの導通接続を図るはんだボールを、BGAの半導体素子の封止領域上にも設置することができる。従って、樹脂封止されたキャビティ部分が、BGAのマザーボードへの実装に対し、有効な面積となる。従って、半導体パッケージの面積は大きくならず、小型で高放熱の半導体パッケージを形成することができる。

##### 【図面の簡単な説明】

###### 【図1】

本発明が適用されたBGAの断面図である。

###### 【図2】

本発明が適用されたBGAの平面図である。

###### 【図3】

本発明が適用されたBGAの底面図である。

###### 【図4】

ランド及び伝導パターンが形成された絶縁基板を示す平面図である。

###### 【図5】

図4に示す絶縁基板にプリプレグ及び絶縁基板を積層させて側壁を形成した様

子を説明する断面図である。

【図6】

側壁が形成された絶縁基板を示す平面図である。

【図7】

キャビティ内に半導体素子を搭載した様子を説明する断面図である。

【図8】

ボンディングワイヤにより半導体素子を導電パターンと接続した様子を示す平面図である。

【図9】

半導体素子を収納したキャビティ内に封止樹脂を塗布した様子を示す断面図である。

【図10】

絶縁板を積層させて、絶縁板、側壁、絶縁基板にメッキスルーホールを形成した様子を示す断面図である。

【図11】

図10に示す絶縁板を示す平面図である。

【図12】

絶縁板にスルーホールランド、はんだランド及び導電パターンが形成された様子を示す平面図である。

【図13】

放熱板用ベタパターン及びスルーホールランドが形成されたBGAを示す底面図である。

【図14】

放熱板が貼付されたBGAを示す断面図である。

【図15】

従来のBGAを示す断面図である。

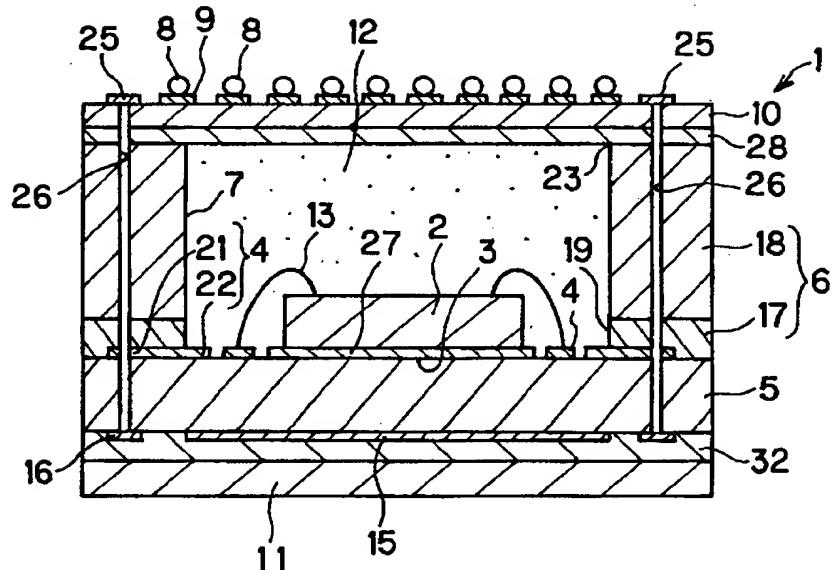
【符号の説明】

1 BGA、2 半導体素子、3 実装部、4 導電パターン、5 第1の絶縁基板、6 側壁、7 キャビティ、8 はんだボール、9 はんだランド、10

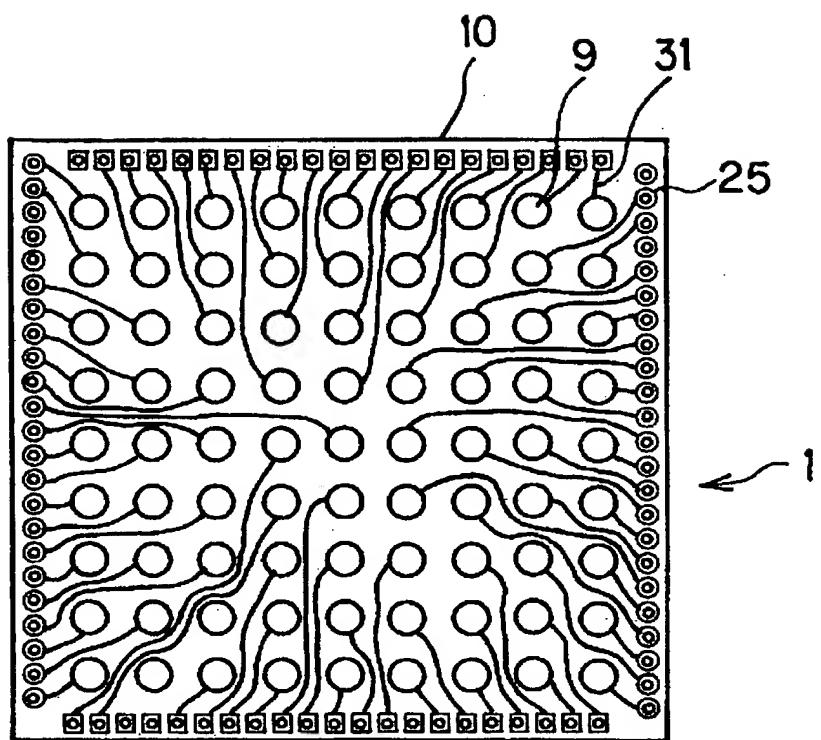
第2の絶縁基板、11 放熱板、12 封止樹脂、13 ボンディングワイヤ  
、15 放熱板用ベタパターン、16 ランド、18 プリプレグ、19 側壁  
基板、21 ランド部、22 パターン部、23 スルーホールランド、24  
メッキスルーホール、25 ダイボンド、26 プリプレグ、31 伝導パター  
ン、32 接着剤

【書類名】 図面

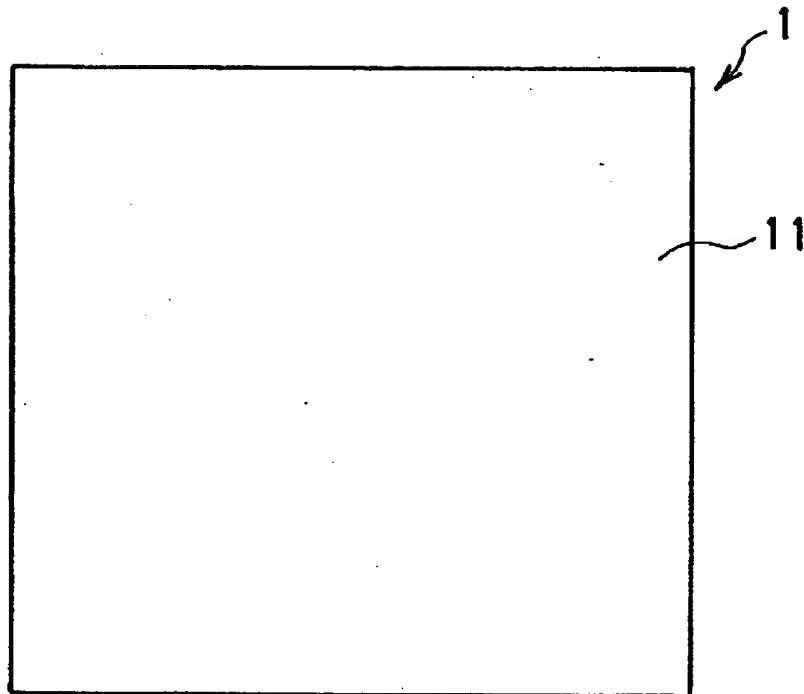
【図1】



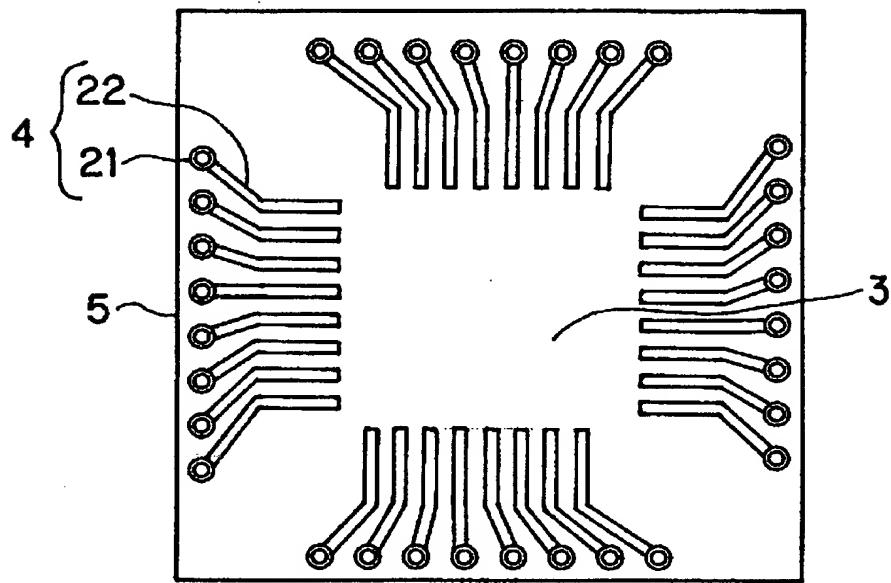
【図2】



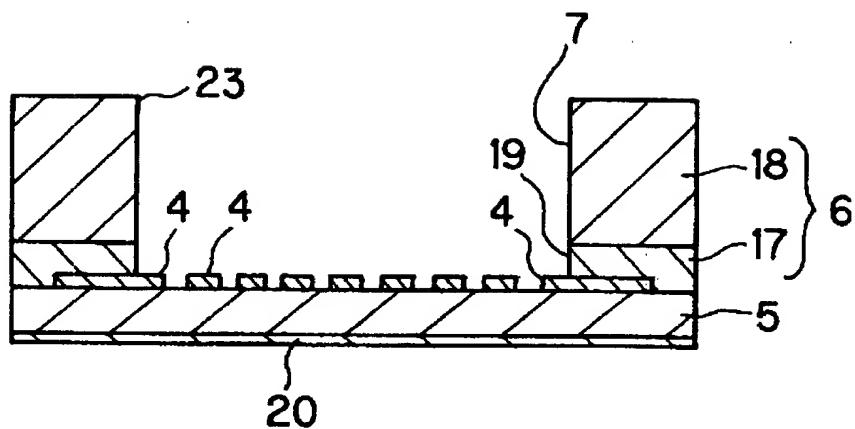
【図3】



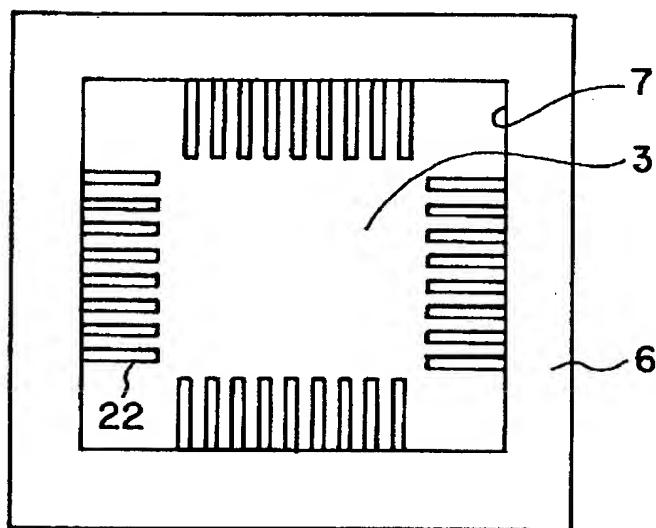
【図4】



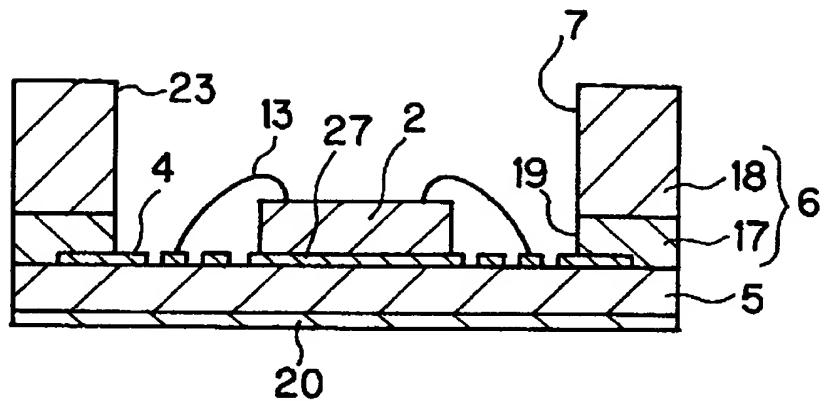
【図5】



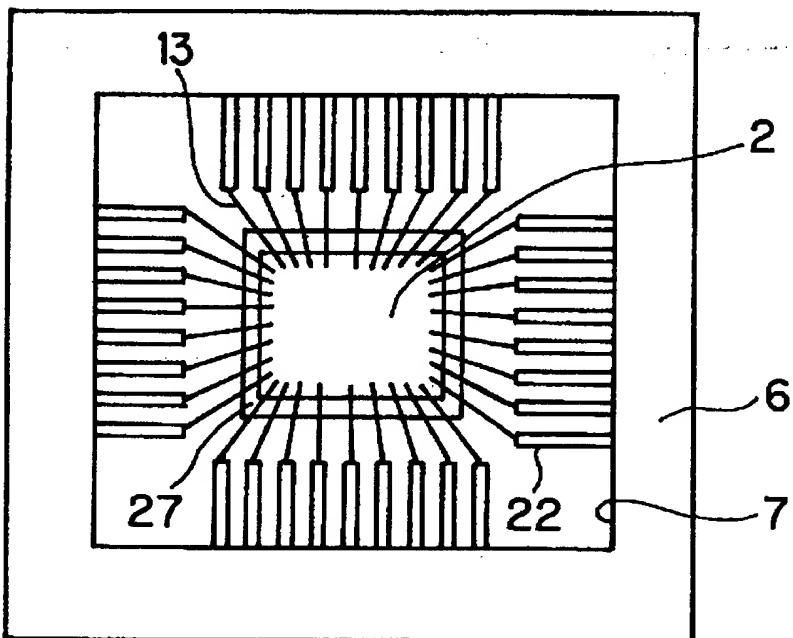
【図6】



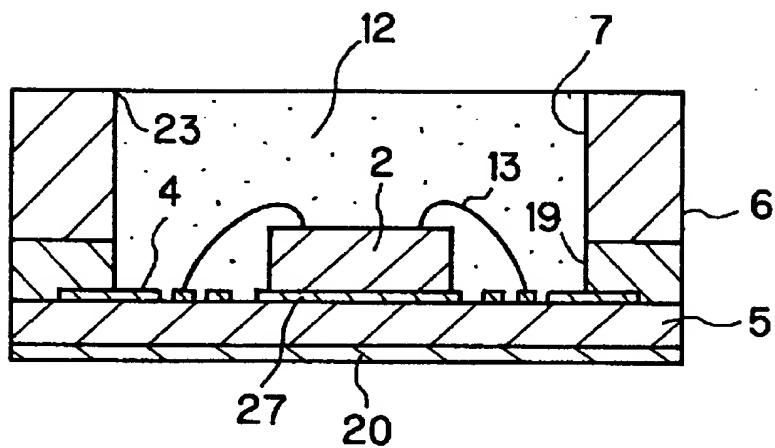
【図7】



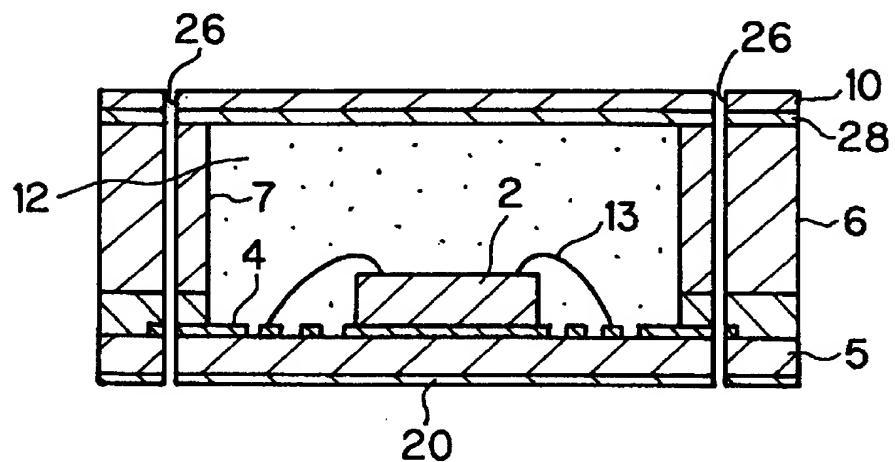
【図8】



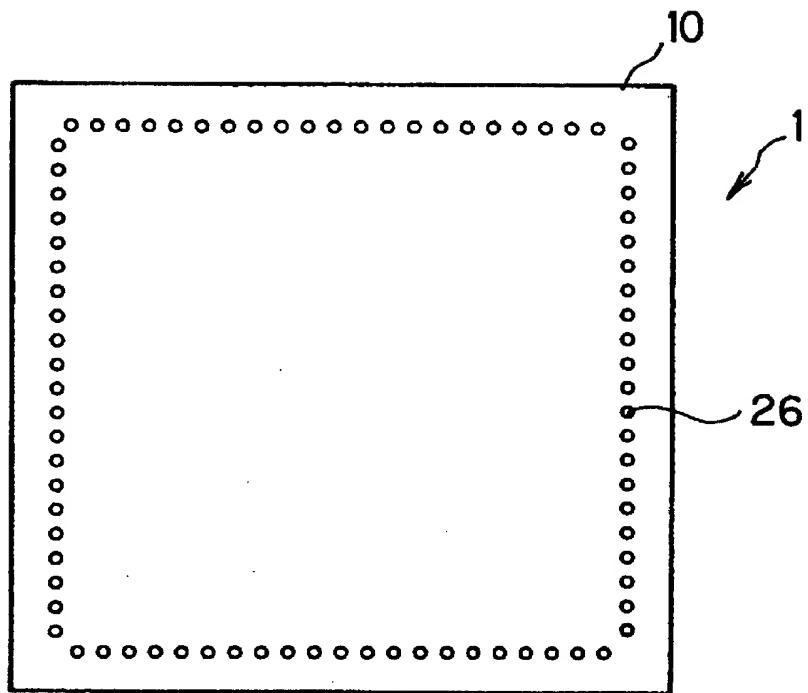
【図9】



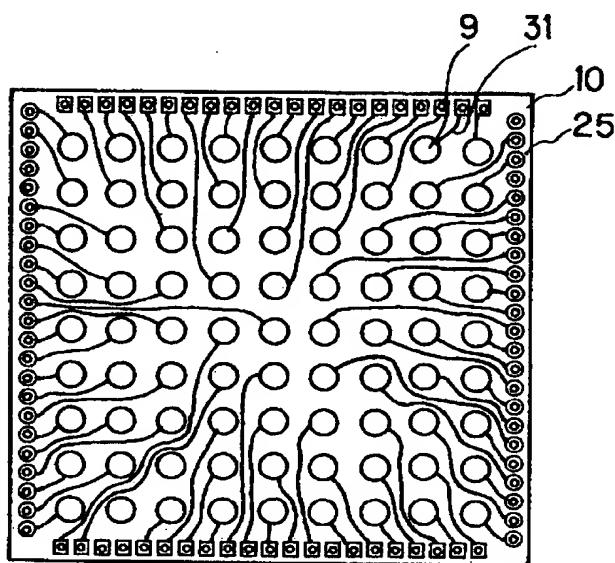
【図10】



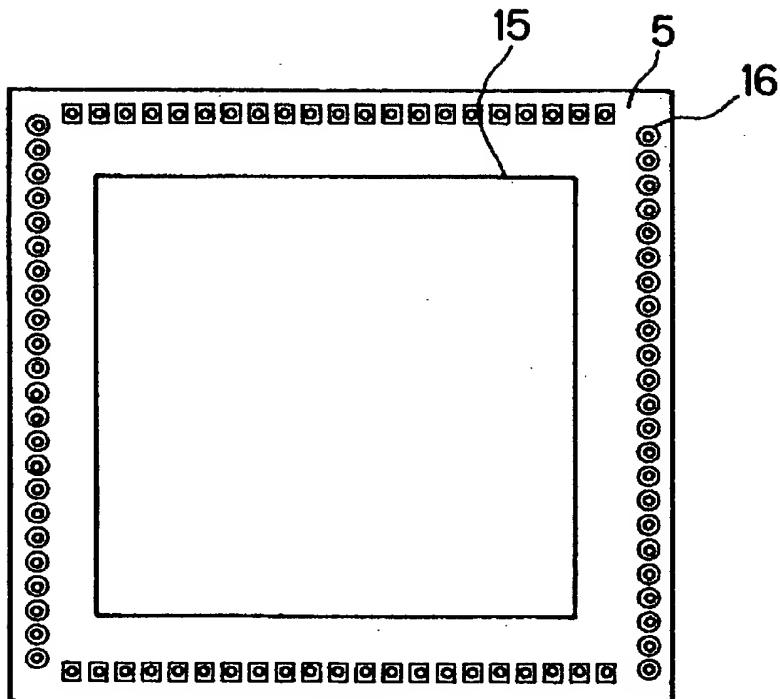
【図11】



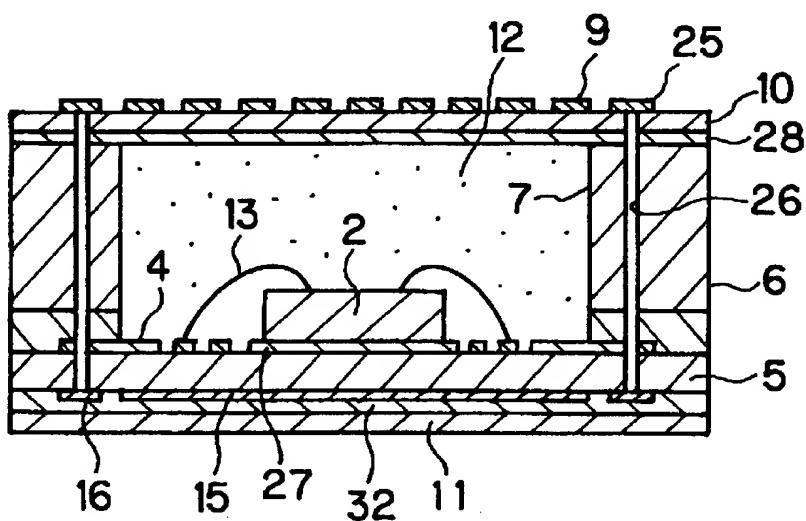
【図12】



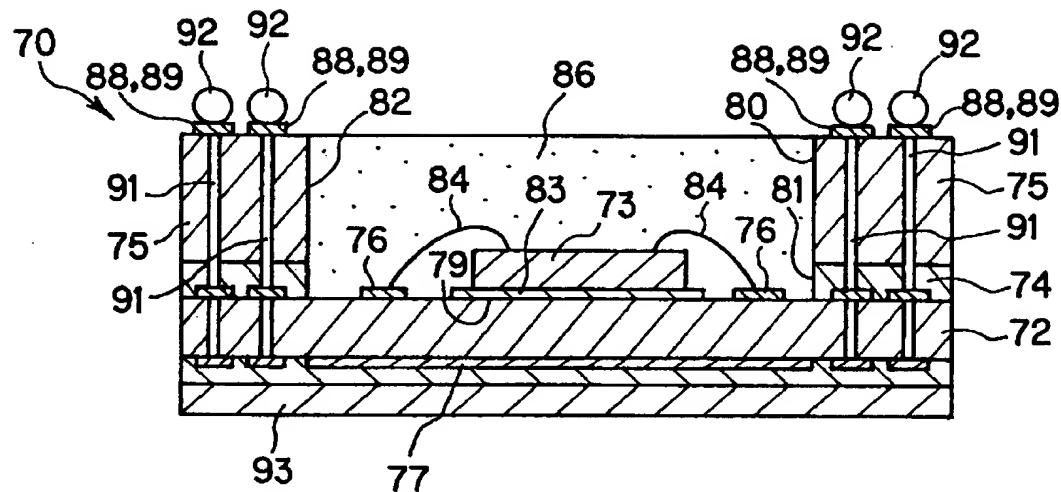
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 封止樹脂上にもはんだボールを搭載でき、パッケージ面積の小型化を図ることができる半導体パッケージ及び半導体パッケージの製造方法を提供する。

【解決手段】 半導体素子2が実装される実装部3と、半導体素子2が電気的に接続される第1の導電パターン4が形成された第1の絶縁基板5と、第1の絶縁基板5の実装部3の周囲に立ち上がって設けられる側壁6と、第1の絶縁基板5と側壁6とによって構成され、実装部3に半導体素子2が実装されるとともに封止樹脂12によって封止されるキャビティ7と、キャビティ7及び側壁6上に設けられ、側壁6を貫通して設けられたメッキスルーホール26によって第1の導電パターン4と電気的接続が図られた第2の伝導パターン31が一方の面に設けられた第2の絶縁基板10とを備え、第2の絶縁基板10の一方の面上には、全面に亘って格子状に、はんだランド9が設けられている。

【選択図】 図1

特2000-207371

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号

氏 名 ソニー株式会社